

基于 *cadence virtuoso* 的低功耗触发器及计数器的仿真设计

(电子科学与工程学院, 06221101, 乔瑞桐)

摘要

D 触发器作为一个基础结构, 在集成电路设计中应用广泛。如何降低触发器以及由其构成的计数器等结构的功耗, 是集成电路设计的关键。本文通过对多种结构触发器的功耗仿真, 结合面积、传输延迟时间 $t_{C \rightarrow Q}$ 的仿真测试寻找各项指标综合最优的触发器结构, 并在给定的时钟频率下设计功耗最低的分频式计数器。

本文从不同结构的触发器入手, 首先通过所学知识对传输门式主从触发器 ($TGFF$)、真单相时钟触发器 ($TSPC$)、改进后的单相时钟触发器 ($MTSPC$)、静态单相无竞争触发器 (S^2CFF)、变化感应触发器 ($CSFF$)、双重变化感应触发器 ($DCSFF$) 这几种结构进行了理论研究, 分析了它们可能导致额外功耗的原因, 并发现可能可以用这些新结构替代传统的 $TGFF$ 结构进行计数器设计, 从而改良计数器的功耗、传输延迟时间等参数。

在仿真测试部分, 本研究首先利用 *cadence virtuoso* 软件进行对比分析, 设计 MOS 管的尺寸, 然后进行电路搭接、设计仿真情境, 对这六种触发器结构分别在 $D = 0$ 和 D 活动的情况下进行了功耗仿真以及传输延迟时间的测试, 发现 $MTSPC$ 和 $TSPC$ 是相对最优的选择。

在计数器设计部分, 本研究通过前文所测得得触发器数据, 分析可能的最低功耗设计, 并在 *cadence virtuoso* 软件中进行仿真。在此之后, 又在时钟频率不同的情况下对计数器中触发器的选择方式进行了推广。

此外, 本研究还结合实际 $CMOS$ 的生产设计方法, 针对仿真中遇到的问题进行了解决与思考。

关键词: 触发器; 功耗仿真; 传输延迟时间; 计数器; *cadence virtuoso*

目录

1 绪论	4
1.1 研究背景	4
1.2 研究目的	4
2 表征触发器优劣的参数	4
2.1 功耗	4
2.2 传输延迟时间	4
2.3 面积	5
3 触发器结构理论分析	5
3.1 概述	5
3.2 传输门式主从触发器 (TGFF)	5
3.3 真单向时钟触发器 (TSPC)	6
3.4 改进后的单相时钟触发器 (MTSPC)	7
3.5 静态单相无竞争触发器 (S^2CFF)	8
3.6 变化感应触发器 ($CSFF$)	9
3.7 双重变化感应触发器 ($DCSFF$)	9
3.8 其余触发器结构	11
4 触发器仿真测试	11
4.1 仿真软件及声明	11
4.2 仿真情境	12
4.3 尺寸设计	12
4.4 仿真方式	15
4.5 功耗仿真	15
4.5.1 $D = 0$	16
4.5.2 D 活动	16
4.6 传输延迟时间 $t_{C \rightarrow Q}$ 的仿真	17

4.6.1	传输延迟时间 $t_{C \rightarrow Q}$ 的仿真方法	17
4.6.2	传输延迟时间 $t_{C \rightarrow Q}$ 的仿真结果	18
4.7	触发器仿真结果总结	18
5	计数器设计及仿真	20
5.1	计数器结构选择	20
5.2	提出猜想	21
5.3	仿真验证	21
5.4	推广	22
6	实际仿真中遇到的问题解决及思考	22
7	总结与展望	24
7.1	论文总结	24
7.2	致谢与声明	24
7.3	研究展望	25
	参考文献	25

第一章 绪论

1.1 研究背景

D 触发器 ($DFlip - Flop$) 和真单相时钟触发器 ($TSPC$) 是数字集成电路设计中的关键元素, 广泛应用于现代集成电路中。 D 触发器作为一种存储器件, 能够在时钟信号的作用下存储和传递数据, 是数字系统中常见的时序逻辑元件之一。 $TSPC$ 是一种单相时钟触发器结构, 采用单一时钟相位来实现高性能和低功耗的设计。

在摩尔定律的指导下, 集成电路设计以惊人的速度不断扩大规模和密度。在这个背景下, 研究人员已经基于传统的 D 触发器和 $TSPC$ 结构提出了众多创新性的触发器结构 [1, 2, 3, 4]。考虑到大规模集成电路通常由数十亿甚至更多晶体管构成, 降低触发器功耗成为了保持一系列参数 (如面积、传输延迟时间等) 的情况下的重要需求。因此, 在集成电路设计中, 如何在保证性能的同时有效降低触发器功耗成为当前研究的关键挑战。这不仅对提高集成电路的效益具有重要意义, 而且为应对摩尔定律的挑战提供了创新的解决方案。

1.2 研究目的

本研究基于《数字集成电路设计》课程所学习的有关触发器的知识, 查阅调研对现有触发器结构进行创新的文献 [1, 2, 3, 4], 从多种新型触发器结构入手, 通过 *cadence virtuoso* 软件仿真对比各种结构触发器的功耗, 最终实现多级计数系统的优化。

第二章 表征触发器优劣的参数

2.1 功耗

由 $W = UI$, 电路的平均功耗等于其平均电压乘以平均电流。在本研究中, 控制 VCC 电压一定, 通过 *cadence virtuoso* 软件测量不同的触发器在相同的输入信号 D 、 CLK 下工作一段时间内 VCC 总线上的平均电流, 通过平均电流的大小对比它们的功耗。

2.2 传输延迟时间

传输延迟时间 (*propagation delay time*) 是指从 CLK 动作沿到达开始, 直到触发器输出的新的状态稳定建立所需要的时间, 可表示为 “ $t_{C \rightarrow Q}$ ”。在本研究中, 将分两种情况进行测量:

- 初态为 $D = 1, CLK = 0, Q = 0$ 时, 当 CLK 跳变时, Q 从 0 跳变至 1 的时间;
- 初态为 $D = 0, CLK = 0, Q = 1$ 时, 当 CLK 跳变时, Q 从 1 跳变至 0 的时间;

传输延迟时间受 MOS 管尺寸影响较为明显。传输延迟时间越小意味着触发器工作的最大频率越高, 因此在设计中期望尽可能减小传输延迟。由于 $PMOS$ 和 $NMOS$ 的导电能力之比近似为 1:2, 所以本研究中, 采取上拉网络 PUN 与下拉网络 PDN 的等效宽长比近似为 2:1 的思路进行触发器设计。同样利用 *cadence virtuoso* 软件仿真得到的波形文件进行标点测量。

2.3 面积

在工业化集成电路设计中, 往往需要数十亿计的 MOS 管, 所使用的触发器数量也十分庞大。因此, 若其它参数大致相同, 使用 MOS 管数量较少的结构往往会占用较小的面积, 在集成化设计中会被更加优先考虑。本研究采用 MOS 管的数目来表征触发器结构所占用的面积。

第三章 触发器结构理论分析

3.1 概述

本章通过课程内容所学以及查阅文献资料, 对 $TGFF$ 、 $TSPC$ 、 S^2CFF 、 $CSFF$ 、 $DCSFF$ 这几种触发器结构进行列举分析, 并对较为简单的结构列出其传输延迟时间 $t_{C \rightarrow Q}$ 表达式。对于较为复杂难以分析的结构, 本研究将在下一章中用直接软件仿真其 $t_{C \rightarrow Q}$ 参数。

3.2 传输门式主从触发器 (TGFF)

$TGFF$ 是较为经典的一种触发器结构, 由两个 $Latch$ 构成。由图 3.1 可得, 其传输延迟时间为单个 $Latch$ 内的延迟, 即:

$$t_{C \rightarrow Q} = t_{d,INV1} + t_{d,INV2} + t_{d,TG}$$

$TGFF$ 是最常用的触发器结构, 其优势在于稳定。然而, 由于存在大量互补时钟节点, $TGFF$ 的功耗较高。每当时钟节点发生变化时, 晶体管上就会产生巨大的短路电流。因此, $TGFF$ 存在功耗大的缺点 [5]。

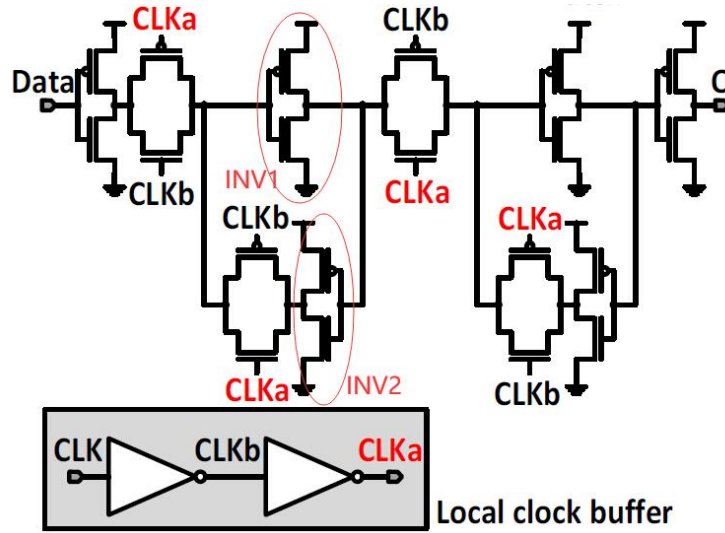


图 3.1 传输门式主从触发器 (TGFF) 原理图

3.3 真单向时钟触发器 (TSPC)

前文所述的 *TGFF* 使用双相时钟，而 *TSPC* 仅使用单相时钟。因此，它被称为真正的单相时钟触发器 (*TSPCFF*)。与 *TGFF* 相比，*TSPC* 由于采用单相时钟操作和使用更少的晶体管，因此功耗更低。然而，由于存在大量内部浮动节点，它还会出现许多毛刺和非静态行为 [6]。尽管内部节点较少，但许多内部浮动节点会产生巨大的短路电流和功耗。

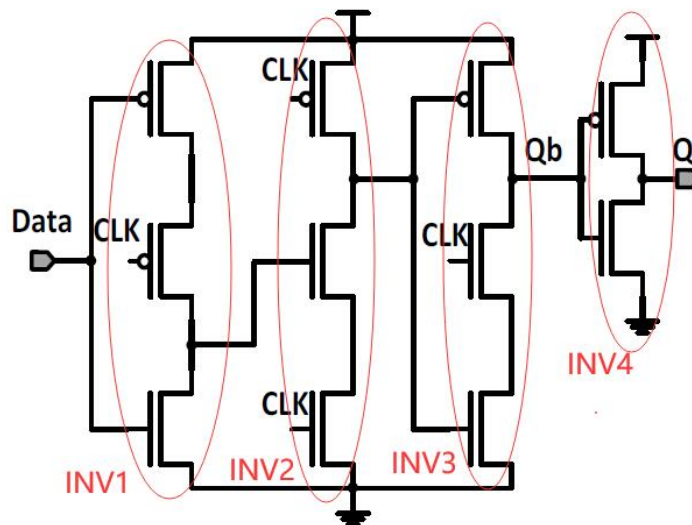


图 3.2 真单向时钟触发器 (TSPC) 原理图

图 3.2 中，第二级 *INV* 和第三级 *INV* 之间的节点依赖于 *VCC* 对其预充电。若输入

3.5 静态单相无竞争触发器 (S^2CFF)

2014 年发表的一份研究报告 [8] 指出有另一种触发器结构可以利用无竞争的设计减小 $TSPC$ 中的毛刺、输出误码等不足，此电路被命名为静态单相无竞争触发器 (S^2CFF)，如图 3.4 所示。

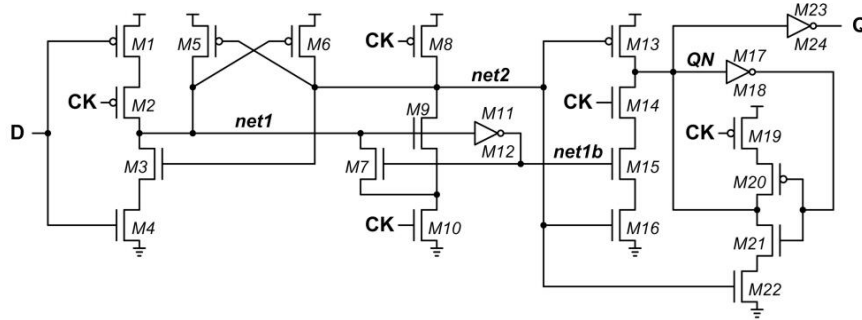


图 3.4 静态单相无竞争触发器 (S^2CFF) 原理图

该电路通过图 3.4 中的 $net1$ 回路连接一个反相器，控制第一级和第三级反向逻辑。如其工作状态示意图 (图 3.5) 所示，它在 $D = 1$ 的情形下通过使 $net1 = 1$ 将第二级反向逻辑的下方两个 $NMOS$ 管的上端置为 0，使得它即使在时钟 CK 翻转的情况下也不存在电流，消除了 $D = 1$ 时的 CLK 翻转带来的功耗。然而，当输入信号为 $D = 0$ 时，由于 $net2$ 要随时钟进行连续的 $1 \rightarrow 0$ 的转换，该结构仍未消除时钟翻转带来的功耗，仍然存在功耗较高的问题。

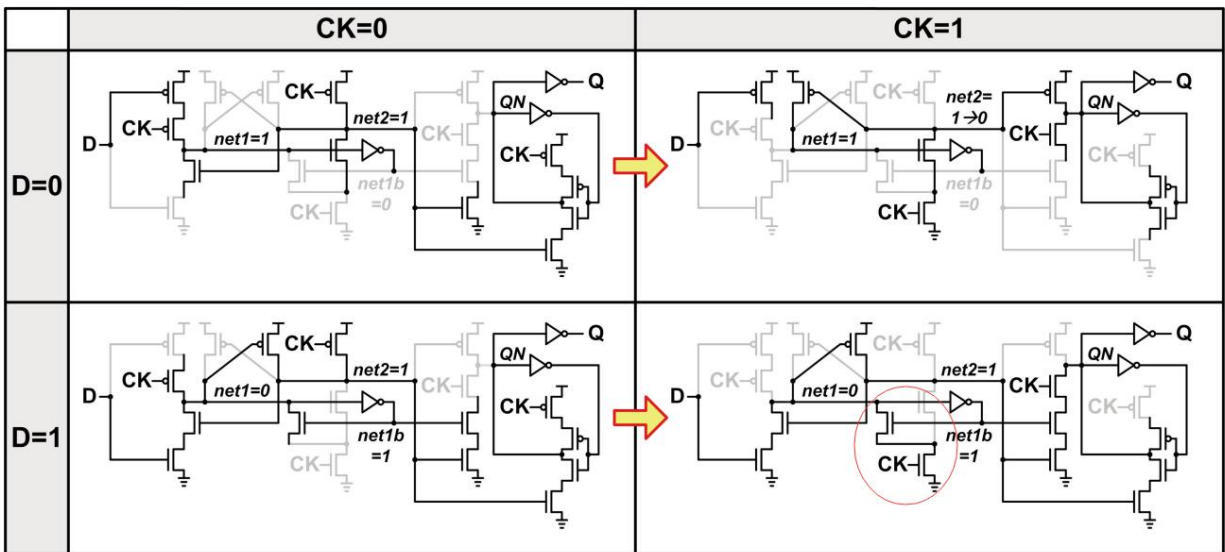


图 3.5 静态单相无竞争触发器 (S^2CFF) 工作状态示意图

3.6 变化感应触发器 (CSFF)

为进一步减少功耗，2018 年研究人员提出了图 3.6 所示的变化感应触发器 (CSFF) [9]。由于 CSFF 采用了变化感应方案，图 3.6 中圈起的电路在输入信号 D 不变时，可以使得 CSFF 触发器的内部时钟 CS 仅仅在 D 改变时有连接至地的通路，其余时间保持不变，因此可以显著减少其内部时钟转换频率，即仅在输入信号 D 发生变化时才翻转，从而消除了 D 不变时由时钟信号持续翻转所导致的功耗。

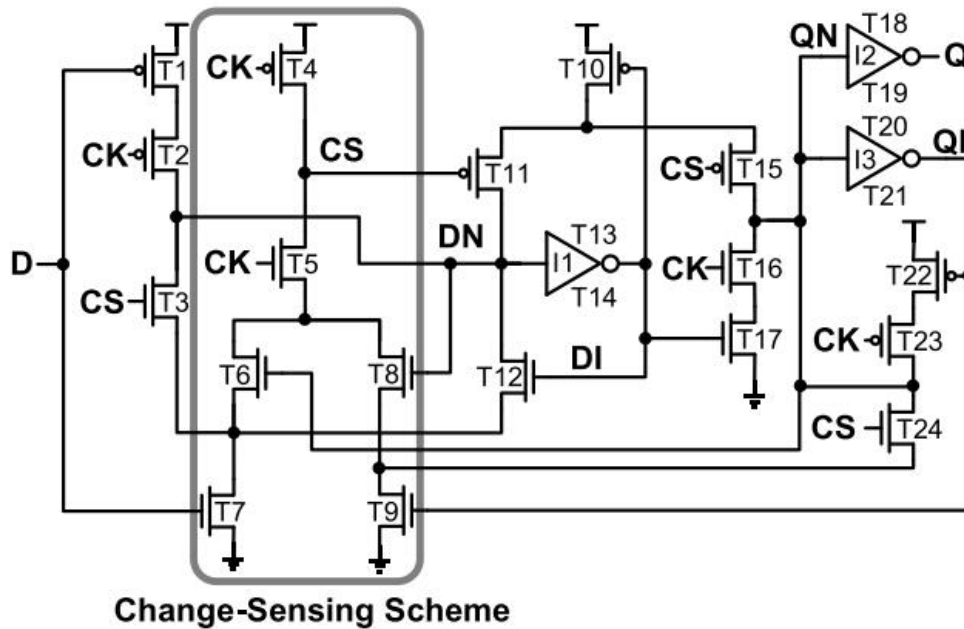


图 3.6 变化感应触发器 (CSFF) 原理图

但是，根据之前研究者测量得出的结果 [6]，如果在节点 DN 处产生短路电流，功耗可能会显著增加。当输入数据频率高时， CS 节点也会发生波动，产生短路电流回路。因此，在高数据活动比率时，这种结构也会产生较大的功耗。

3.7 双重变化感应触发器 (DCSFF)

2022 年，研究人员 [6] 又设计出一种新型的触发器，即双重变化感应触发器 (DCSFF)，其电路结构如图 3.7 所示。

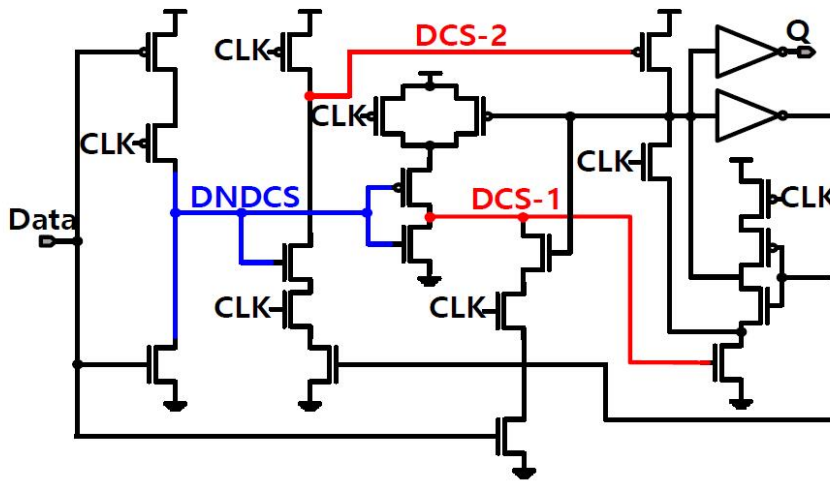


图 3.7 双重变化感应触发器 (DCSFF)

DCSFF 在上一节所述 *CSFF* 的基础上利用 *DCS-1* 和 *DCS-2* 两个信号作为内部时钟，分别控制一个连接 *VCC* 的 *PMOS* 和一个连接 *GND* 的 *NMOS*，进一步减少了触发器在时钟信号来临时的非必要翻转，取消了 *CSFF* 触发器在 *CS* 由低变高时产生的脉冲。它和 *CSFF* 在输入数据跳变瞬间的电流情况如图 3.8 所示，可以看出此时 *DCSFF* 不存在短路电流通路。

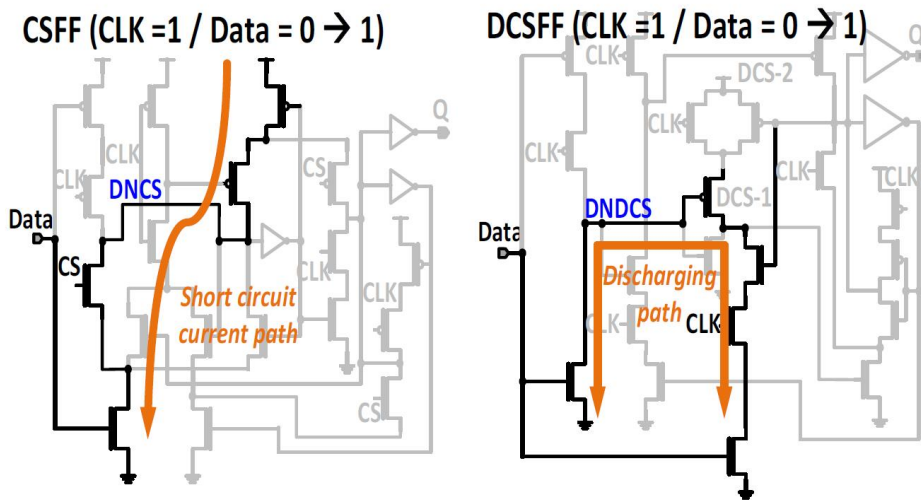


图 3.8 CSFF 和 DCSFF 在输入跳变时的电流

3.8 其余触发器结构

经过查阅文献，发现除了上述讨论的这些触发器结构之外，还有如条件预充电触发器 (CPFF)、数据映射触发器 (DMFF)、拓扑压缩触发器 (TCFF)、自适应耦合触发器 (ACFF) [9] 等一系列不同于常规结构的触发器。然而它们并不主流，或是已经被时代淘汰，本文由于篇幅所限，仅在此进行罗列，如图 3.9 所示。不再对它们进行分析与仿真。

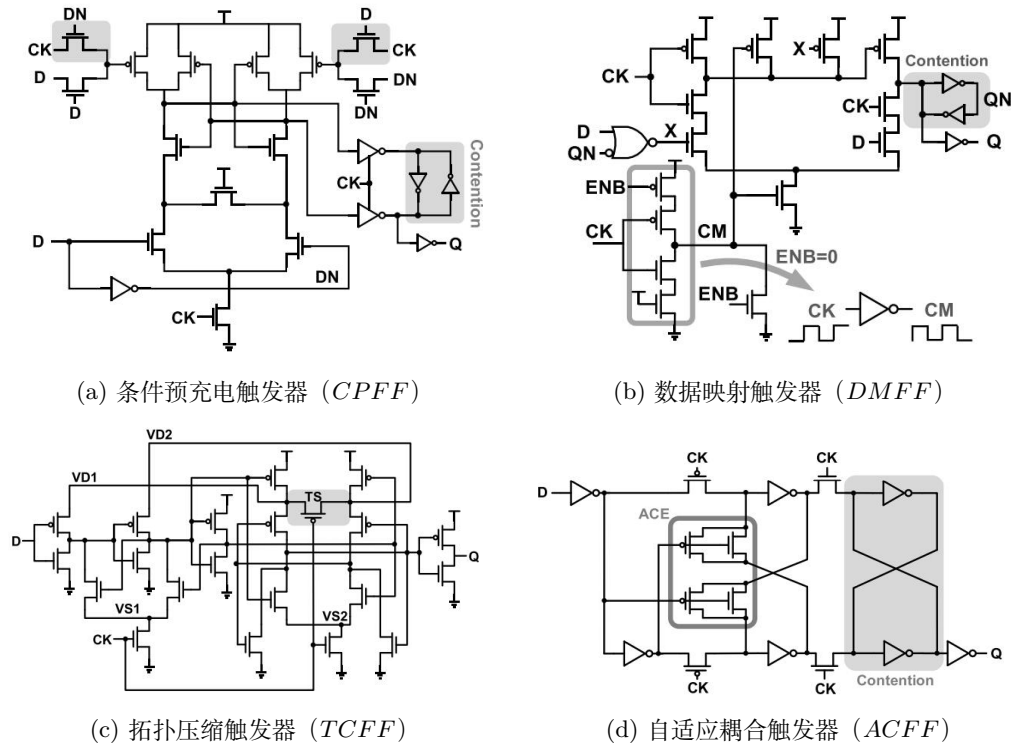


图 3.9 触发器结构罗列

第四章 触发器仿真测试

4.1 仿真软件及声明

本研究采用 *cadence virtuoso* 软件进行仿真测试。

声明： 本研究所用的 *cadence virtuoso* 软件为作者的本科生导师郑丽霞老师课题组服务器中的。本研究的所有仿真工程均由本文作者于本学期独立搭建，仿真文件存储在服务器账号“lab306std9”中的“TM18”客户端中的文件夹“qrt_df fs”中，如有需要敬请查阅。作者在设计时参考了“tsmc18digital”库中的 TSPC 和 TGFF 设计，元件来自库“tsmc18”以及“analoglib”。

4.2 仿真情境

在第三节中，针对各类结构的触发器进行分析的过程中，有多种创新结构都是针对“输入 $D=0$ ”这种情境进行减功耗设计。另外，在利用触发器结构实现计数系统的设计时，同样需要利用到工作在不同输入频率下的触发器。

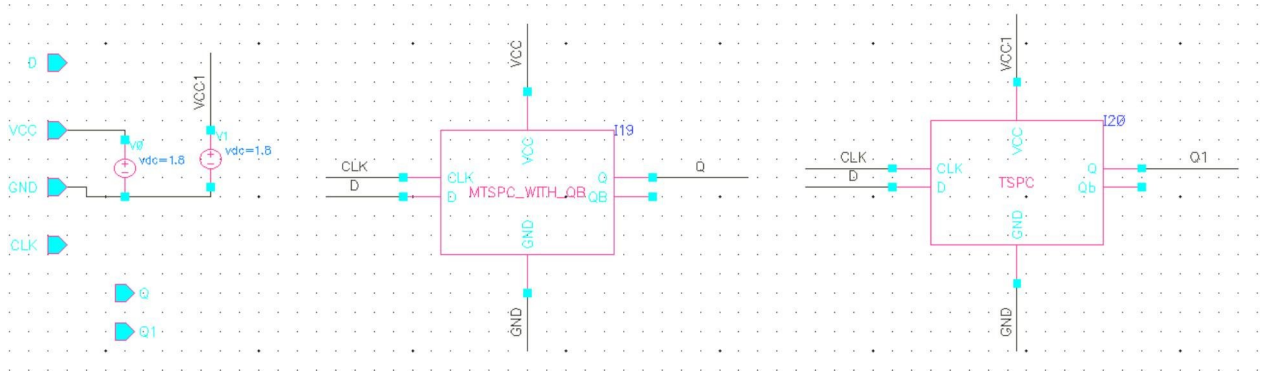


图 4.1 virtuoso 仿真电路

因此，本研究将设置仿真电路图如图 4.1 所示（实际仿真中有更多触发器，本图仅为示例），并设置两个情境进行触发器的功耗测量：

- $D = 0$: 此情境中，设置 $D = 0$ ， CLK 为周期为 $0.5\mu s$ ，上升时间和下降时间均为 $100ps$ ，延迟时间为 $10ns$ ，脉冲宽度为 $249.9ns$ 的方波。
- D 活动: 此情境中，设置 D 为周期为 $1\mu s$ ，上升时间和下降时间均为 $100ps$ ，延迟时间为 $10ns$ ，脉冲宽度为 $499.9ns$ 的方波； CLK 和 $D = 0$ 的情境一样，为周期为 $0.5\mu s$ ，上升时间和下降时间均为 $100ps$ ，延迟时间为 $10ns$ ，脉冲宽度为 $249.9ns$ 的方波。

在仿真传输延迟时间 $t_{C \rightarrow Q}$ 时，采用 D 活动的情境，分别测量 CLK 信号从低电平跳变至高电平时， Q 由低电平跳变至高电平、 Q 由高电平跳变至低电平的时间。将这两个时间取平均值，得到 $t_{C \rightarrow Q}$ 。

4.3 尺寸设计

由于 $PMOS$ 管的导电能力弱于 $NMOS$ 管，为使得设计的电路中上升、下降时间近似相等，缩短延迟时间 $t_{C \rightarrow Q}$ ，将 PUN 和 PDN 的等效宽长比设计成 2:1。

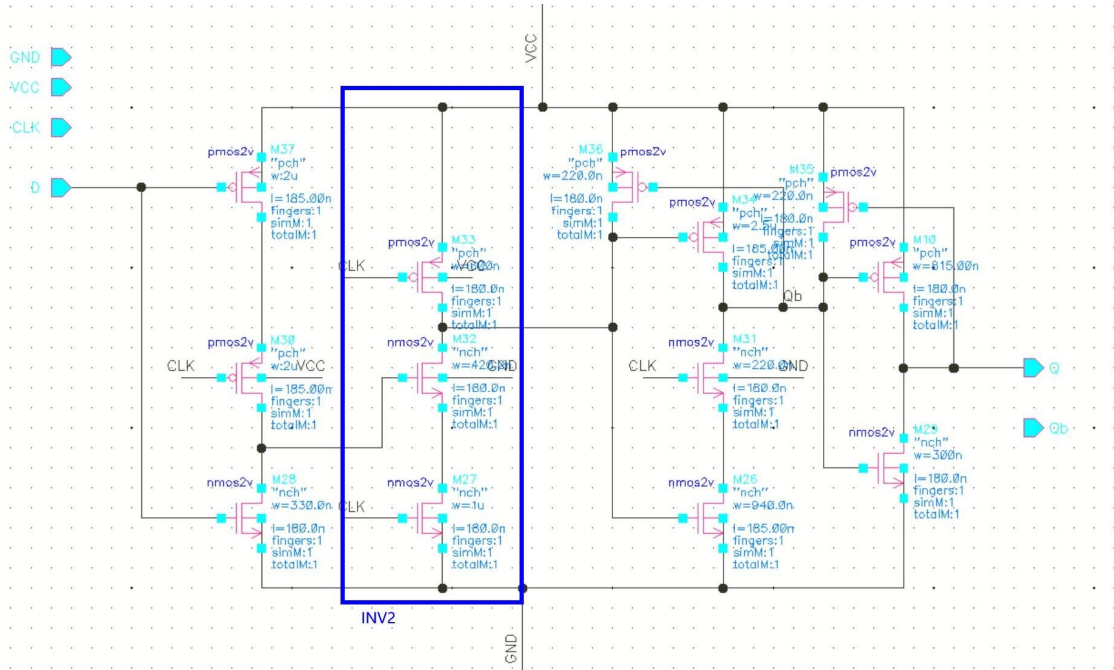


图 4.2 作为参考的已有尺寸的 *TSPC* 原理图（为显示清晰将原图进行反色处理，后同）

下面从作为参考的已有尺寸的 *TSPC* 出发，进行 3.4 节中提到的改进后的单相时钟触发器 (*MTSPC*) 的尺寸设计。由原理图可知，*MTSPC* 为 *TSPC* 的第二级反向逻辑中增加了一个 *PMOS* 管得到。由于不存在固定的公式表征尺寸与功耗的关系，因此本研究以“将 *PUN* 和 *PDN* 的等效宽长比设计成 2:1”的原则，选择不同尺寸的 *PMOS* 管进行尝试，并通过衡量所测得的功耗得到最优尺寸。

由于 *MTSPC* 比 *TSPC* 仅在第二级反向逻辑（图 4.2 蓝色框）中增加了一个 *MOS* 管，因此考虑第二级反相器结构，使其在增加一个 *PMOS* 后，*PUN* 与 *PDN* 等效宽长比为近似 2:1。观察已有的 *TSPC* 结构，其第二级反相器从上到下的三个 *MOS* 管长度均为 180nm，其中 *PMOS* 宽度为 600nm，两个 *NMOS* 宽度分别为 420nm 和 1um，串联后 *PDN* 的等效宽长比为 324.3/180，约为 *PUN* 的等效宽长比的二分之一。本研究采用了三种尺寸设计方案进行了仿真。方案如下：

1. 下方两个 *NMOS* 尺寸不变，上方改为两个长为 1.2um 且宽为 180nm 的 *PMOS*。
2. 下方两个 *NMOS* 尺寸不变，上方两个 *PMOS* 长分别为 800nm 和 2um，宽为 180nm。
3. 下方两个 *NMOS* 长分别为 420nm 和 500um，宽为 180nm；上方两个 *PMOS* 长均为 800nm，宽为 180nm。

在 *cadence virtuoso* 软件中进行电路的搭接, 如图 4.3 所示。由于除了第二级 *INV* 的其余结构均与图 4.2 中 *TSPC* 完全相同, 故仅列出第二级 *INV* 的结构。

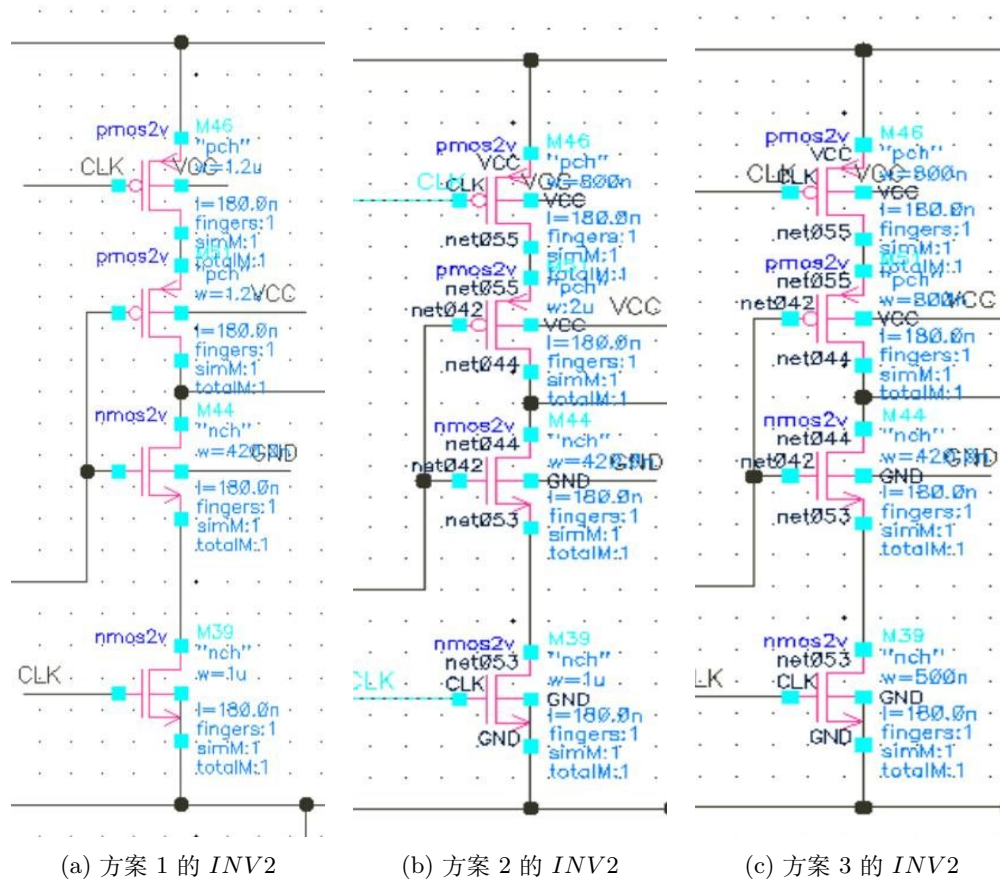


图 4.3 三种尺寸设计方案

将这三种尺寸方案分别在 4.2 节所述的两种仿真情境 “*D* = 0” 和 “*D* 活动” 中进行功耗仿真, 功耗用 0 ~ 10us 流过 *VCC* 的平均电流 (单位: *nA*) 表示。将仿真结果记录如表 4.1 所示:

表 4.1 三种尺寸方案在两种情境下的功耗

功耗	<i>D</i> =0	<i>D</i> 活动
原 <i>TSPC</i>	59.9483	72.4217
方案 1	34.4642	83.6542
方案 2	30.3893	82.7035
方案 3	30.072	73.1984

由表 4.1, 可以看出方案 3 无论在 $D = 0$ 还是 D 活动时功耗都低于方案 1 和方案 2, 因此采用方案 3 的尺寸搭建 $MTSPC$ 结构。在后续的几个触发器搭建过程中同样需要确定各个 MOS 管的尺寸, 均遵循“将 PUN 和 PDN 的等效宽长比设计成 2:1”的原则。由于篇幅所限不再一一写出设计过程。

4.4 仿真方式

如仿真电路图 4.1 所示, 将设计出的触发器结构元件化, 利用两个 (或多个) 电源分别对它们提供电源电压, 然后测试每个触发器结构对应的电源的节点电流值, 利用 *cadence virtuoso* 中的计算器计算其在 $0 \sim 10\mu s$ 内的平均值大小 (计算公式如图 4.4 所示, 其中 V_n 对应一个触发器和高电平相连接的端口上流过的电流), 并用每个触发器对应节点的电流平均值的大小反映该触发器工作时的功耗大小。

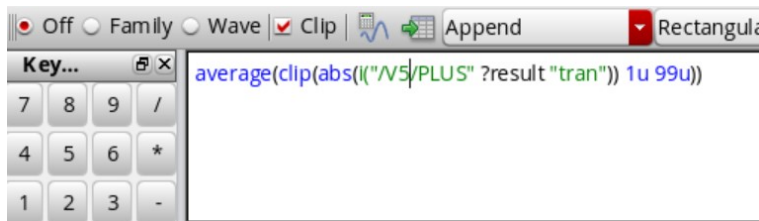


图 4.4 *cadence virtuoso* 中计算平均电流的公式设置

由于前文所查找的文献资料研究的触发器结构均未包含置位、复位结构, 因此根据控制变量的原则, 在进行功耗仿真时均不包含置位、复位结构。在找出最优的触发器结构后, 再加上复位结构设计计数器。

4.5 功耗仿真

根据第三章的原理图, 并参考库内的 $TSPC$ 和 $TGFF$ 等触发器的尺寸数据, 分别在 *cadence virtuoso* 中搭建 $TGFF$ 、 $TSPC$ 、 $MTSPC$ 、 S^2CFF 、 $CSFF$ 、 $DCSFF$ 的电路, 并将其整合成元件, 进行功耗仿真。本研究实际采用的仿真电路如图 4.5 所示, 为图 4.1 的拓展。采用 4.2 节提出的“ $D = 0$ ”和“ D 活动”两种仿真情境进行。

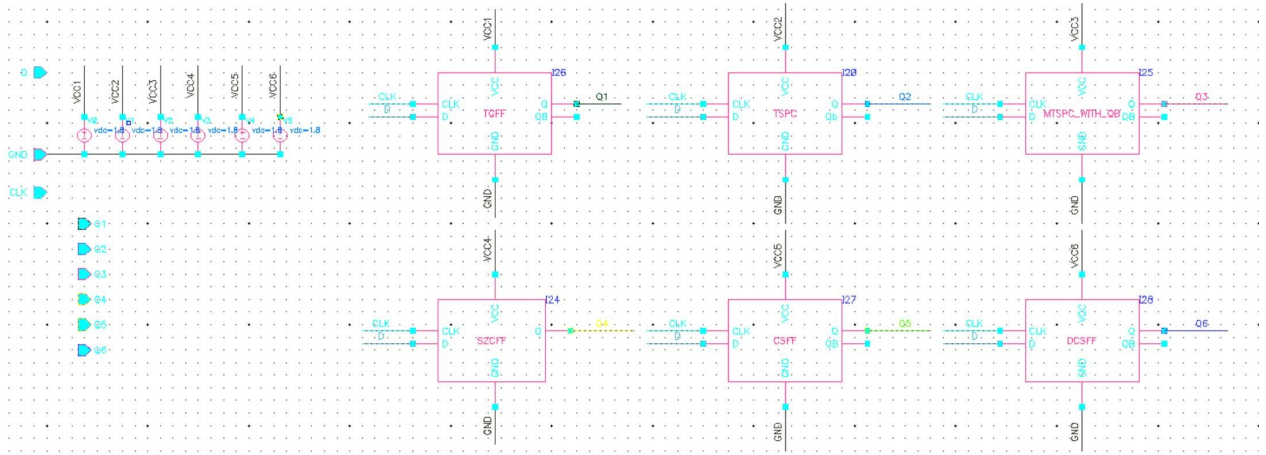


图 4.5 本研究采用的仿真电路图

4.5.1 $D = 0$

在仿真情境“ $D = 0$ ”中， $D = 0$ ， CLK 为周期为 $0.5\mu s$ ，上升时间和下降时间均为 $100ps$ ，延迟时间为 $10ns$ ，脉冲宽度为 $249.9ns$ 的方波。

将每个触发器在 $0 \sim 10\mu s$ 内流经其对应 VCC 的平均电流 I_{av} 打印出来，如图 4.6 所示：

Name/Signal/Expr	Value
lav_TGFF	69.7194n
lav_TSPC	60.8136n
lav_MTSPC	30.9732n
lav_S2CFF	141.771n
lav_CSFF	40.0318n
lav_DCSFF	50.9035n

图 4.6 仿真情境“ $D = 0$ ”中各触发器平均电流 I_{av}

4.5.2 D 活动

在仿真情境“ D 活动”中， D 为周期为 $1\mu s$ ，上升时间和下降时间均为 $100ps$ ，延迟时间为 $10ns$ ，脉冲宽度为 $499.9ns$ 的方波； CLK 为周期为 $0.5\mu s$ ，上升时间和下降时间均为 $100ps$ ，延迟时间为 $10ns$ ，脉冲宽度为 $249.9ns$ 的方波。

将每个触发器在 $0 \sim 10\mu s$ 内流经其对应 VCC 的平均电流 I_{av} 打印出来，如图 4.7 所示：

	Name/Signal/Expr	Value
15	lav_TGFF	191.871n
16	lav_TSPC	73.0124n
17	lav_MTSPC	73.1992n
18	lav_S2CFF	302.914n
19	lav_CSFF	182.02n
20	lav_DCSFF	169.807n

图 4.7 在仿真情境“D 活动”中各触发器平均电流 I_{av}

在此情境下，利用 *cadence virtuoso* 软件作出 *CLK*、*D* 以及各个触发器输出的波形图如图 4.8 所示，可见输出波形正确，证明触发器结构搭建无误。

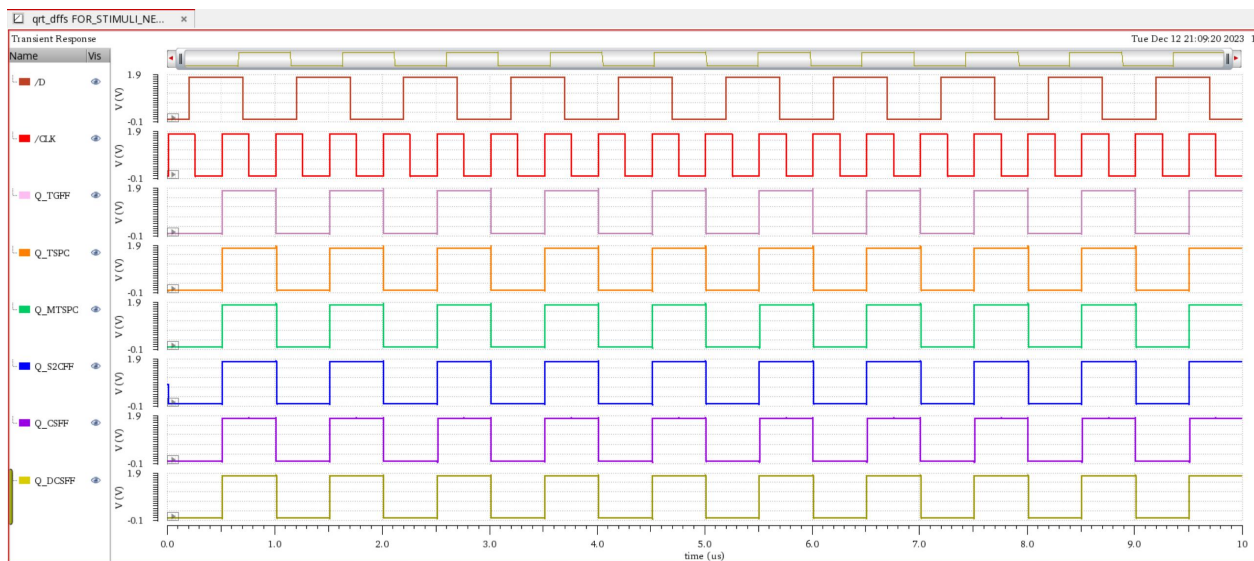


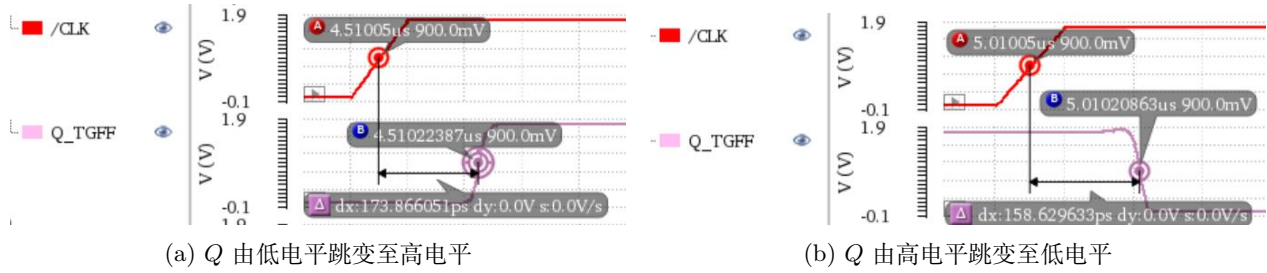
图 4.8 在仿真情境“D 活动”中 *CLK*、*D* 及各触发器输出波形图

4.6 传输延迟时间 $t_{C \rightarrow Q}$ 的仿真

4.6.1 传输延迟时间 $t_{C \rightarrow Q}$ 的仿真方法

在仿真传输延迟时间 $t_{C \rightarrow Q}$ 时，分别测量 *CLK* 信号从低电平跳变至高电平时，*Q* 由低电平跳变至高电平、*Q* 由高电平跳变至低电平的时间。将这两个时间取平均值，得到 $t_{C \rightarrow Q}$ 。

利用 *cadence virtuoso* 软件进行传输延迟时间 $t_{C \rightarrow Q}$ 的测量。测量方法如下图：用软件中的“AB”测量方法，在波形图上打两个点，然后将这两个点都调到波形边沿的中点（本研究中高电平为 1.8V，因此中点电压为 900mV），利用“dx”读出两点时间差，如图 4.9 所示。

图 4.9 传输延迟时间 $t_{C \rightarrow Q}$ 的测量方法

读图 4.9, 可以看出, 传输门式主从触发器 $TGFF$ 的传输延迟时间 $t_{C \rightarrow Q}$ 为

$$t_{C \rightarrow Q(TGFF)} = \frac{1}{2} \times (173.8661 + 158.6296) = 166.24785(ps)$$

其余的触发器也以此方法测量。

4.6.2 传输延迟时间 $t_{C \rightarrow Q}$ 的仿真结果

利用 4.6.1 中的仿真方法对 $TGFF$ 、 $TSPC$ 、 $MTSPC$ 、 S^2CFF 、 $CSFF$ 、 $DCSFF$ 这几种结构的 D 触发器进行传输延迟时间 $t_{C \rightarrow Q}$ 的仿真, 将结果记录在表 4.2 中。

表 4.2 不同结构的触发器传输延迟时间 $t_{C \rightarrow Q}$ 的仿真结果 (单位: ps)

触发器结构	Q 由“0”跳变至“1”	Q 由“1”跳变至“0”	传输延迟时间
$TGFF$	173.8661	158.6296	166.2479
$TSPC$	105.8153	97.0407	101.4280
$MTSPC$	106.1468	116.3882	111.2675
S^2CFF	90.0266	157.8818	123.9542
$CSFF$	109.1244	176.1847	142.6546
$DCSFF$	146.3619	147.8380	147.0100

4.7 触发器仿真结果总结

在第四章中, 本研究分别进行了 $TGFF$ 、 $TSPC$ 、 $MTSPC$ 、 S^2CFF 、 $CSFF$ 、 $DCSFF$ 这几种结构的 D 触发器的功耗仿真以及传输延迟时间 $t_{C \rightarrow Q}$ 的仿真。将触发器的 MOS 管个数、功耗 (用平均电流表示, 单位: nA)、传输延迟时间 (单位: ps) 总结统计, 如表 4.3 所示:

表 4.3 不同结构触发器的仿真结果统计

触发器结构	MOS 管个数	D=0 时功耗	D 活动时功耗	传输延迟时间
<i>TGFF</i>	24	69.72	191.87	166.2479
<i>TSPC</i>	13	60.81	73.01	101.4280
<i>MTSPC</i>	14	30.97	77.20	111.2675
<i>S²CFF</i>	24	141.77	302.91	123.9542
<i>CSFF</i>	24	40.032	182.02	142.6546
<i>DCSFF</i>	24	50.904	169.81	147.0100

为便于分析，将此表格具象化，制作柱状图 4.10：

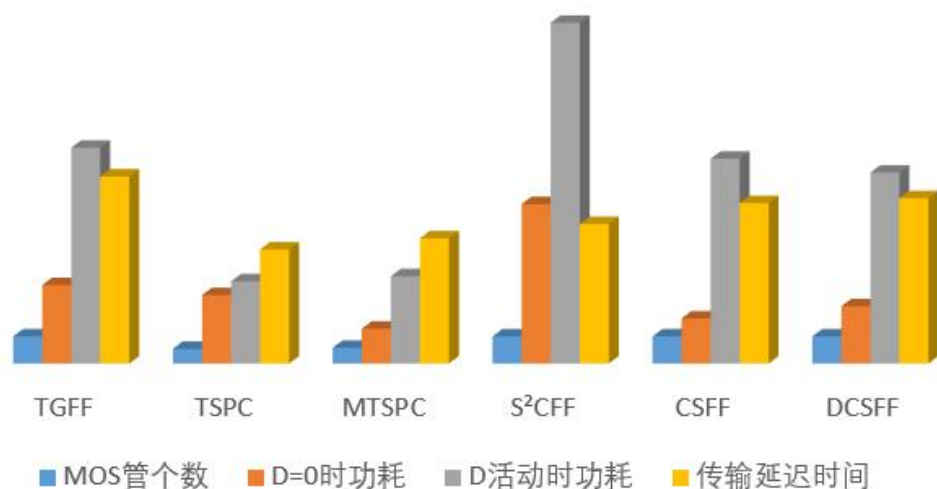


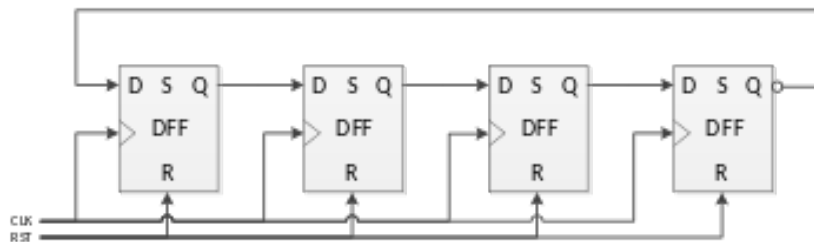
图 4.10 不同结构触发器的仿真结果统计柱状图

从图 4.10 中，可以明显看出 *TSPC* 和 *MTSPC* 的各项指标相对处于前列，它们所占面积较小、功耗较低、传输延迟时间也较短。因此，拟采用 *MTSPC* 和 *TSPC* 作为触发器，进行后续计数器的设计。

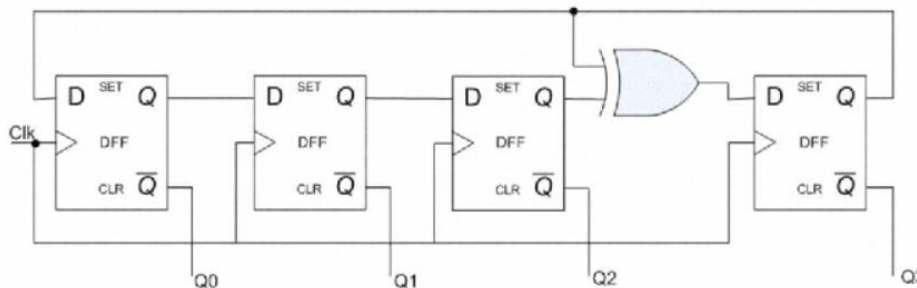
第五章 计数器设计及仿真

5.1 计数器结构选择

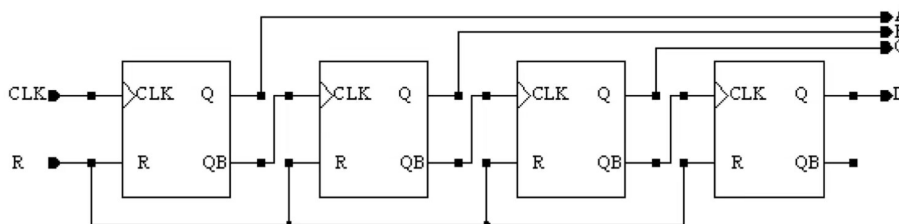
计数器可以分为同步计数器和异步计数器。在《数字集成电路设计》课程中涉及了多种计数器，如线性反馈移位寄存器 *LFSR*、循环计数器、分频式计数器等，它们的结构如图 5.1 所示。



(a) 线性反馈移位寄存器 *LFSR*



(b) 循环计数器



(c) 分频式计数器

图 5.1 不同结构的计数器

其中，线性反馈寄存器、同步寄存器等结构中，每个触发器的输入 D_n 的频率之间并不一定存在明显的倍频规律；分频式计数器中每个触发器的输入频率依次为上一级输入的一半。在上一章中，本研究仿真功耗时测试了“ $D = 0$ ”和“ D 活动”这两种情境，仿真结

果显示了在不同的输入频率下，触发器的功耗会有所不同。为了更易于针对每一级的频率特性选择相应的触发器，本研究采用分频式计数器进行仿真验证。

5.2 提出猜想

根据 4.7 节得出的结论， $TSPC$ 和 $MTSPC$ 是性能较好的两个触发器，因此采用它们进行计数器的搭建。由功耗仿真数据可以看出：

- 当 $D = 0$ 时， $MTSPC$ 的功耗小于 $TSPC$ ；
- 当 D 活动时， $MTSPC$ 的功耗略大于 $TSPC$ ；

由于分频式计数器中位于高位的触发器的 D 活动性较弱，因此猜想，将计数器中位于高位的 $TSPC$ 换成 $MTSPC$ ，会减小触发器的功耗。

5.3 仿真验证

在 *cadence virtuoso* 搭建类似 5.1 (c) 所示的分频式计数器电路。在本研究中，我搭建了一个 8 位的计数器，由 8 个触发器组成。首先我对其进行了波形的打印，以确认计数器的搭建没有问题。波形图如图 5.2 所示：

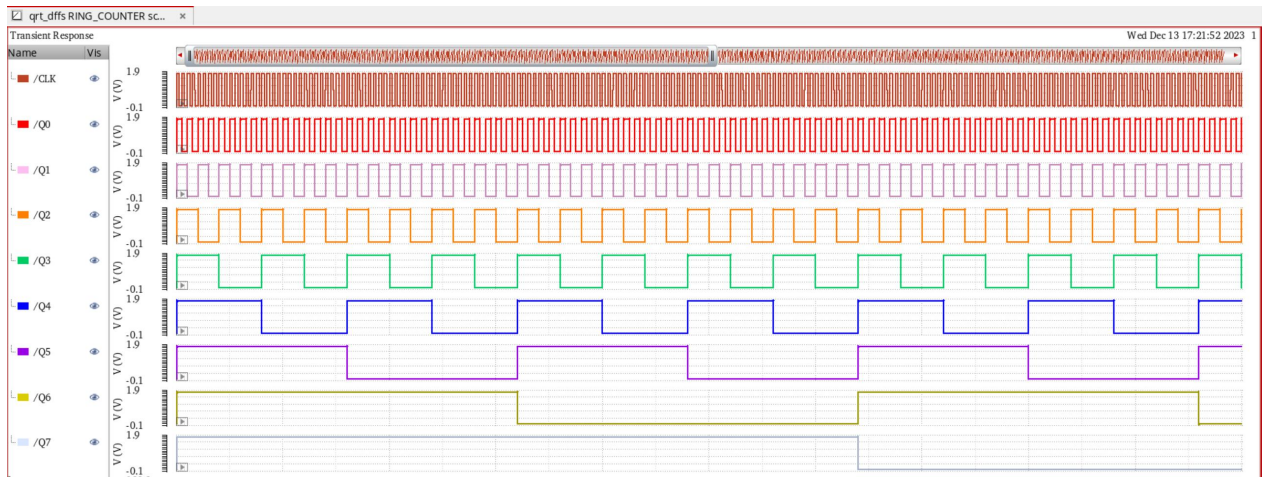


图 5.2 分频计数器波形图

接下来，设置时钟周期为 5μ ，进行功耗仿真。和此前对触发器进行的功耗仿真一样，采用 $2ms$ 内流经 VCC 的平均电流来表征功耗。本研究中，对四种 8 位分频计数器进行了仿真：

1. 由 8 个 *TSPC* 构成；
2. 低 7 位由 *TSPC* 构成，最高 1 位为 *MTSPC*；
3. 低 6 位由 *TSPC* 构成，最高 2 位为 *MTSPC*；
4. 低 5 位由 *TSPC* 构成，最高 3 位为 *MTSPC*；

功耗仿真结果如图 5.3 所示：

8tspc	90.4487n
7tspc_1mtspc	61.7812n
6tspc_2mtspc	65.1882n
5tspc_3mtspc	65.1882n

图 5.3 四种 8 位分频计数器的功耗仿真结果

由功耗仿真结果可以看出，当时钟频率为 $5\mu s$ 时，将最高的一位 *TSPC* 改成 *MTSPC* 会取得最小的功耗。因此对于此时钟频率下的计数器，可以采用“低 7 位由 *TSPC* 构成，最高 1 位为 *MTSPC*”的设计方法进行设计。

5.4 推广

然而，在实际设计中，时钟频率未必为 $5\mu s$ ，在其他时钟频率下可能存在更好的计数器设计思路。在多次改变触发器频率进行仿真后，本研究发现，对于在分频式计数器中的 *D* 触发器，当它的输入 D_n 信号频率大于 $1ms$ 时，将其替换成 *MTSPC* 会起到较大的省功耗作用，例如 5.3 节中的最高位触器，其输入频率为 $1.28ms$ ，将其由 *TSPC* 替换为 *MTSPC* 之后，直接省去了 31.7% 的功耗，作用十分可观。

第六章 实际仿真中遇到的问题解决及思考

本研究的仿真参数较多，在仿真过程中，也遇到并解决了一些问题。其中值得一提的是在搭建变化感应触发器 (*CSFF*) 进行功耗仿真的过程中出现的问题及解决办法。

在 *cadence virtuoso* 中，*MOS* 管为四端口器件。由于经验不足，在第一次搭建触发器结构时，本研究均采用理想的搭建方式，直接将 *MOS* 管的体端和其源端相连。而数字集成电路设计的实际结构中，如图 6.1 所示，*MOS* 的衬底为 n 阱；*NMOS* 的衬底则是整个 *CMOS* 结构的衬底。 n 阱是在 p 衬底上的，为了防止 p 衬底跟 n 阱正向导通产生错误输出

或大功耗，所以 n 阱直接连 VCC ， p 衬底直接连 GND ，也就是说在实际的设计中， MOS 管的体端都是直接和 VCC 或 GND 相连的。

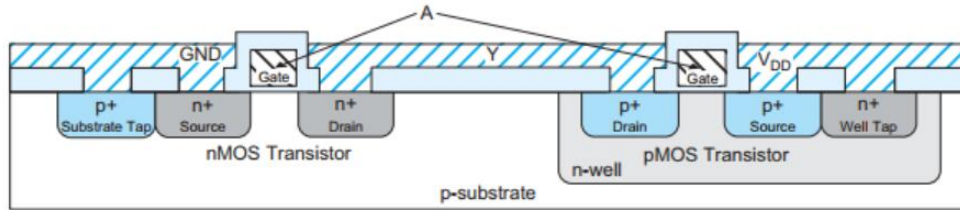


图 6.1 CMOS 实际结构截面图

在初次搭接中，对于每个 MOS 管，都将其体端连接至源端，并进行了功耗仿真。在本研究进行功耗仿真的六种触发器中，别的触发器功耗情况正常，但是 $CSFF$ 的功耗情况却达到了其余几个结构的数百倍，这说明它的搭建一定存在某些问题。

在检查了其基本的搭接后，并没有发现问题，它的功能仿真也一切正常。因此打印出每条支路的电流进行分析，发现如图 6.2 所示的橘色支路存在较大的静态电流，导致其存在极大功耗。

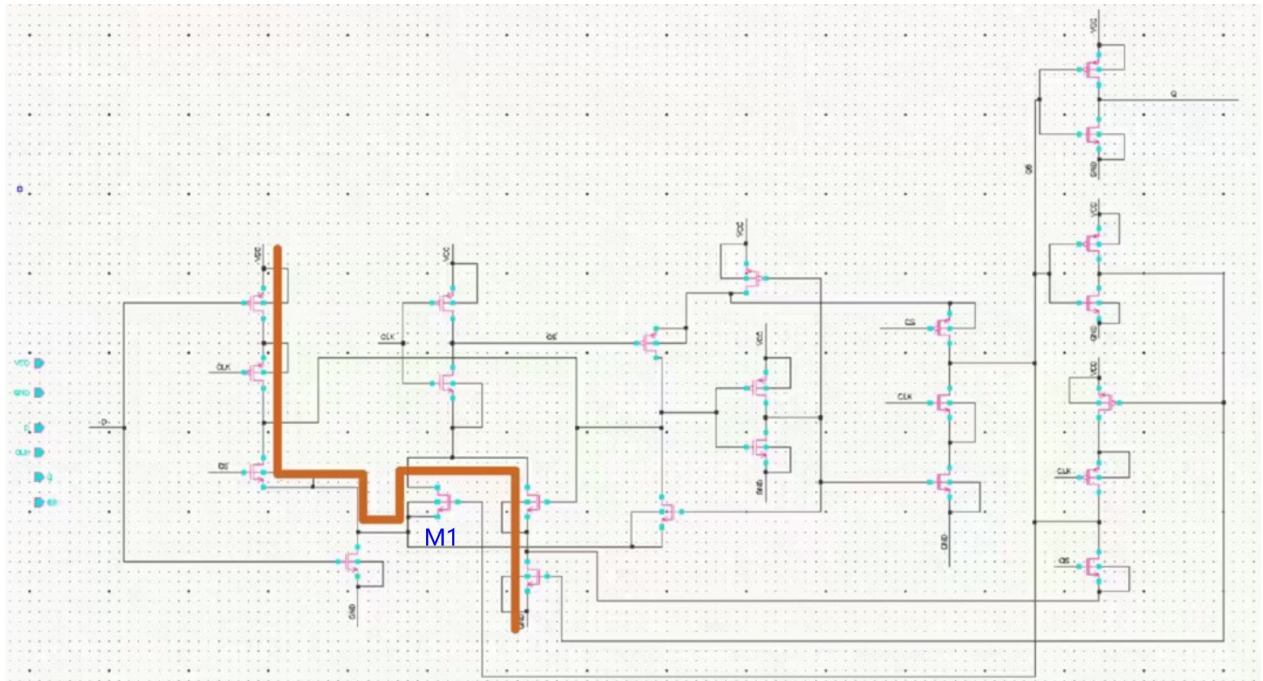


图 6.2 初次搭接存在错误的 $CSFF$ 仿真原理图

分析其原因，发现是由于 $NMOS$ 管 $M1$ 的体端接至其源端的连接方式导致了问题。

该 $NMOS$ 的体端和漏级构成 PN 结，当有电流经过 $M1$ 的源极时，它本不应导通，但是由于源级和体端相连，体端在此时位于高电平，使得体端和漏极形成的 PN 结导通，因此电流通过了 $M1$ ，并在 $M1$ 右侧的两个 MOS 管同时导通的时候流至 GND ，形成了短路电流，造成了异常的功耗。

在发现该问题后，为了确保所有触发器结构设计不再出现类似问题并符合实际条件，本研究将所有的触发器结构均改为了 MOS 管的体端都直接和 VCC 或 GND 相连的形式。当再次仿真功耗，所有的触发器都没有再出现功耗异常的现象，该问题得到了解决。发现问题到分析并解决问题的过程启示我们一切研究要从实际出发，否则可能会产生一些意想不到的后果。

第七章 总结与展望

7.1 论文总结

本文从不同结构的触发器入手，首先通过所学知识对 $TGFF$ 、 $TSPC$ 、 $MTSPC$ 、 S^2CFF 、 $CSFF$ 、 $DCSFF$ 这几种结构进行了理论研究，分析了它们可能导致额外功耗的原因，并发现可能可以用这些新结构替代传统的 $TGFF$ 结构进行计数器设计，从而改良计数器的功耗、传输延迟时间等参数。

在仿真测试部分，本研究在设计 MOS 管尺寸后，利用 *cadence virtuoso* 软件搭建电路、设计仿真情境，对这六种触发器结构分别在 $D = 0$ 和 D 活动的情况下进行了功耗仿真以及传输延迟时间的测试，发现 $MTSPC$ 和 $TSPC$ 是相对最优的选择。

在计数器设计部分，本研究通过前文所测得得触发器数据，分析可能的最低功耗设计，并在 *cadence virtuoso* 软件中进行仿真。在此之后，又在普适情况下对计数器中触发器的选择方式进行了推广。

7.2 致谢与声明

本课程论文研究的成功完成要感谢《数字集成电路设计》课程的吴金老师对数字集成电路深入浅出的讲授、我的本科生导师郑丽霞老师对我的帮助，以及各位助教同学对于课程的知识点总结和解惑。特别感谢董洪林学长，他对触发器的理解很深，当我在仿真过程中出现问题时对我进行了无私的帮助。

本研究历时近两个月，在本研究中我对数字集成电路的知识有了更清晰的认识，也掌

握了在 *cadence virtuoso* 软件中搭接电路、设置仿真情境、计算数据、绘制波形的能力。在遇到问题时的分析也拓展了我对实际数字集成电路设计的认识。

声明：本研究所用的 *cadence virtuoso* 软件为作者的本科生导师郑丽霞老师课题组服务器中的。本研究的所有仿真工程均由本文作者于本学期独立搭建，仿真文件存储在服务器账号“lab306std9”中的“TM18”客户端中的文件夹“*qrt_dffs*”中，如有需要敬请查阅。若有疑问，欢迎致信 ruitongqiao@gmail.com 询问。作者在设计时参考了“*tsmc18digital*”库中的 *TSPC* 和 *TGFF* 设计，元件来自库“*tsmc18*”以及“*analoglib*”。

7.3 研究展望

由于本学期是作者初次接触主要由 *MOS* 管搭接的电路（之前本科二年级模电课程中以双极型三极管为主），因此在遇到设计上的问题时缺少经验，对于结构复杂的电路也较难分析它们的原理。如何缩小功耗，是集成电路设计中至关重要的一个问题。在未来的后续研究中，预备探究双边沿触发器等新型结构的功耗，以及各种不同的计数器结构中，如何选择最优的触发器。如有机会，希望能对一些触发器结构进行自主改进和创新。

参考文献

- [1] N. Kawai, S. Takayama, J. Masumi, N. Kikuchi, Y. Itoh, K. Ogawa, A. Ugawa, H. Suzuki, and Y. Tanaka, “A fully static topologically-compressed 21-transistor flip-flop with 75 percentage power saving,” in *2013 IEEE Asian Solid-State Circuits Conference (A-SSCC)*, 2013, pp. 117–120.
- [2] J. Shaikh and H. Rahaman, “High speed and low power preset-able modified tspc d flip-flop design and performance comparison with tspc d flip-flop,” in *2018 International Symposium on Devices, Circuits and Systems (ISDCS)*, 2018, pp. 1–4.
- [3] G. Shin, E. Lee, J. Lee, Y. Lee, and Y. Lee, “An ultra-low-power fully-static contention-free flip-flop with complete redundant clock transition and transistor elimination,” *IEEE Journal of Solid-State Circuits*, vol. 56, no. 10, pp. 3039–3048, 2021.

- [4] G. Shin and Lee, “A redundancy eliminated flip-flop in 28 nm for low-voltage low-power applications,” *IEEE Solid-State Circuits Letters*, vol. 3, pp. 446–449, 2020. [Online]. Available: <https://api.semanticscholar.org/CorpusID:224778788>
- [5] E. Consoli, G. Palumbo, and M. Pennisi, “Tg master-slave ffs: High-speed optimization,” 05 2011, pp. 554–557.
- [6] J.-Y. Park, M. Jin, S.-Y. Kim, and M. Song, “Design of a dual change-sensing 24t flip-flop in 65 nm cmos technology for ultra low-power system chips,” *Electronics*, vol. 11, no. 6, 2022. [Online]. Available: <https://www.mdpi.com/2079-9292/11/6/877>
- [7] J. Shaikh and H. Rahaman, “High speed and low power preset-able modified tspc d flip-flop design and performance comparison with tspc d flip-flop,” in *2018 International Symposium on Devices, Circuits and Systems (ISDCS)*, 2018, pp. 1–4.
- [8] Y. Kim, W. Jung, I. Lee, Q. Dong, M. B. Henry, D. Sylvester, and D. Blaauw, “27.8 a static contention-free single-phase-clocked 24t flip-flop in 45nm for low-power applications,” *2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, pp. 466–467, 2014. [Online]. Available: <https://api.semanticscholar.org/CorpusID:4890431>
- [9] V. L. Le, J. Li, A. Chang, and T. T.-H. Kim, “A 0.4-v, 0.138-fj/cycle single-phase-clocking redundant-transition-free 24t flip-flop with change-sensing scheme in 40-nm cmos,” *IEEE Journal of Solid-State Circuits*, vol. 53, no. 10, pp. 2806–2817, 2018.